

09/865498

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日

Date of Application:

2000年12月20日

出 願 番 号

Application Number:

特願2000-387063

願 人

Applicant(s):

株式会社東芝

TECHNOLOGY CENTER 2600

AUG 22 2001

RECEIVED

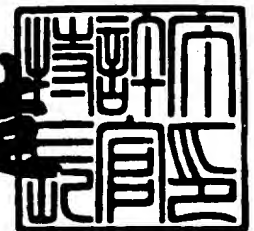
BEST AVAILABLE COPY

RECEIVED  
OCT 17 2001  
Technology Center 2600

2001年 4月13日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 12854001

【提出日】 平成12年12月20日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明の名称】 データラッチ回路および液晶表示装置

【請求項の数】 6

【発明者】

    【住所又は居所】 埼玉県深谷市幡羅町 1 - 9 - 2 株式会社東芝 深谷工場内

    【氏名】 森 田 哲 生

【特許出願人】

    【識別番号】 000003078

    【住所又は居所】 神奈川県川崎市幸区堀川町 7 2 番地

    【氏名又は名称】 株式会社 東 芝

【代理人】

    【識別番号】 100064285

    【弁理士】

    【氏名又は名称】 佐 藤 一 雄

【選任した代理人】

    【識別番号】 100088889

    【弁理士】

    【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

    【識別番号】 100082991

    【弁理士】

    【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

    【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 004444

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データラッチ回路および液晶表示装置

【特許請求の範囲】

【請求項 1】

所定のサンプリング期間にデジタルデータをラッチするデータラッチ回路において、

出力端および入力端が互いにループ状に接続された第 1 および第 2 のインバータを有する記憶回路と、

前記第 1 および第 2 のインバータに電源電圧を供給するか否かを切替制御する第 1 および第 2 のスイッチ素子と、

ラッチ対象となるデジタルデータを前記記憶回路に供給するか否かを切替制御する第 3 のスイッチ素子と、

前記記憶回路に記憶されたデータを読み出す出力回路と、を備え、

前記第 1 および第 2 のスイッチ素子は、前記サンプリング期間以外の期間にオンして前記第 1 および第 2 のインバータに電源電圧を供給し、

前記第 3 のスイッチ素子は、前記サンプリング期間内にオンしてデジタルデータを前記記憶回路に供給し、

前記出力回路は、前記サンプリング期間内に前記出力回路の電源端子から接地端子に向けて貫通電流が流れないように、貫通電流防止機能を有することを特徴とするデータラッチ回路。

【請求項 2】

前記出力回路は、前記サンプリング期間内は所定の論理の信号を出力し、前記サンプリング期間以外は前記記憶回路に記憶されたデータを反転出力することを特徴とする請求項 1 に記載のデータラッチ回路。

【請求項 3】

前記出力回路は、

前記サンプリング期間内は所定の論理の信号を出力し、前記サンプリング期間以外は前記第 1 のインバータの出力を反転出力する第 1 の論理演算回路と、

前記サンプリング期間内は所定の論理の信号を出力し、前記サンプリング期間

以外は前記第 2 のインバータの出力を反転出力する第 2 の論理演算回路と、を備えることを特徴とする請求項 2 に記載のデータラッチ回路。

【請求項 4】

前記出力回路には、前記サンプリング期間か否かを示す第 1 の信号と、前記サンプリング期間以外の所定の期間に特定の論理になる第 2 の信号とが供給され、  
前記出力回路は、

前記サンプリング期間内は所定の論理の信号を出力し、前記サンプリング期間以外で前記第 2 の信号が前記特定の論理になったときに前記第 1 のインバータの出力を反転出力する第 1 の論理演算回路と、

前記サンプリング期間内は所定の論理の信号を出力し、前記サンプリング期間以外で前記第 2 の信号が前記特定の論理になったときに前記第 2 のインバータの出力を反転出力する第 2 の論理演算回路と、を有することを特徴とする請求項 2 に記載のデータラッチ回路。

【請求項 5】

前記第 1 および第 2 の論理演算回路は、NANDゲート、NORゲートおよびクロックインバータのいずれかを含むことを特徴とする請求項 3 または 4 に記載のデータラッチ回路。

【請求項 6】

列設された信号線および走査線と、  
信号線および走査線の交点付近に配設された表示素子と、  
信号線のそれぞれを駆動する信号線駆動回路と、  
走査線のそれぞれを駆動する走査線駆動回路と、を備えた液晶表示装置において、

前記信号線駆動回路は、  
複数のレジスタ回路を有し、各レジスタ回路のそれぞれから、クロック信号に同期させてシフトさせたシフトパルスを順に出力するシフトレジスタと、  
前記シフトパルスのそれぞれに同期させて、画素情報に関するデジタルデータをラッチする請求項 1 ～ 5 のいずれかに記載の複数のデータラッチ回路と、  
前記複数のデータラッチ回路のラッチ出力をロード信号に同期させて同時にラ

タッチするロードラッチ回路と、

前記ロードラッチ回路のラッチ出力をアナログ画素電圧に変換した後、対応する信号線に供給するD/A変換回路と、を備えることを特徴とする液晶表示装置

。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタルデータを所定のサンプリング期間にラッチするデータラッチ回路に関し、特に、液晶表示装置の内部に用いられるデジタル階調データのラッチ用のデータラッチ回路に関する。

【0002】

【従来の技術】

一般に、アクティブマトリクス型の液晶表示装置は、アレイ基板と対向基板との間に液晶層を挟んで封止した構造になっている。アレイ基板は、マトリクス状に配置される複数の画素電極と、これら画素電極に沿って行方向に配置される複数の走査線と、これら画素電極に沿って列方向に配置される複数の信号線と、信号線および走査線の交点付近に配置される画素TFTとを有する。

【0003】

画素TFTは、走査線の電圧によりオン・オフし、オンした場合には、対応する信号線の電圧を画素電極に供給する。

【0004】

最近のTFT特性の向上、及び微細加工技術の進歩により、走査線を駆動する走査線駆動回路と、信号線を駆動する信号線駆動回路とをアレイ基板上に形成することも技術的に可能になってきた。

【0005】

図1は、外部から供給されたデジタル階調データに基づいて信号線を駆動する、従来のデジタル式の液晶表示装置の概略構成を示すブロック図である。図1では、一例として、電源電圧 $V_{DD}=10V$ 、接地電圧 $V_{SS}=-5V$ 、デジタル階調データ $V_{High}=3V$ 、 $V_{Low}=0V$ のデジタルインタフェース回路内蔵の液晶表

示装置（LCD：Liquid Crystal Display）を想定している。

【0006】

図1の液晶表示装置は、信号線および走査線が列設された画素アレイ部1と、走査線を駆動する走査線駆動回路2と、信号線を駆動する信号線駆動回路3とを有する。走査線駆動回路2は、画素アレイ部1の外部から供給された垂直同期信号に基づいて垂直走査パルスをシフトさせる垂直シフトレジスタを有する。

【0007】

信号線駆動回路3は、図7に示すように、水平シフトレジスタ11と、デジタルビデオバスライン12と、サンプリングラッチ回路13と、ロードラッチ回路14と、D/A変換回路15とを有する。

【0008】

デジタルビデオバスライン12にはデジタル階調データが供給される。このデジタル階調データは、水平シフトレジスタ11からのタイミング信号によりサンプリングラッチ回路13にラッチされる。この際、サンプリングラッチ回路13が有するレベルシフト機能により、デジタル階調データは、信号線駆動回路3の駆動電圧（VDD、VSS）にレベル変換される。サンプリングラッチ回路13において、一水平ライン分のデジタル階調データのラッチが終了するまでの時間は、一ライン期間と呼ばれる。

【0009】

ロードラッチ回路14は、各サンプリングラッチ回路がそれぞれ異なるタイミングでラッチしたデータを同タイミングでラッチする。ロードラッチ回路14でのラッチ動作が終了した後、各サンプリングラッチ回路13は次の水平ラインのラッチ動作を順に行う。

【0010】

サンプリングラッチ回路13がラッチ動作を行っている最中に、その直前の水平ラインについて、D/A変換回路15はデジタル階調電圧をアナログ階調電圧に変換する。このアナログ階調電圧は、対応する信号線に供給される。上述した動作を繰り返すことにより、画素アレイ部1内の全画素表示領域に画像が表示される。

## 【 0 0 1 1 】

図 7 は サンプリングラッチ回路 1 3 の具体的な回路構成を示す図である。同図において、CMOSインバータ 8 1 の入力端（以下ノード A）はCMOSインバータ 8 2 の出力端に接続され、CMOSインバータ 8 1 の出力端（以下ノード B）はCMOSインバータ 8 2 の入力端に接続されている。これら 2 つのインバータはNMOSトランジスタ 8 3 を介して負電源 VSS に、PMOSトランジスタ 8 4 を介して正電源 VDD に接続されている。これら 2 つのインバータはループ状に接続され、デジタル信号を記憶する記憶回路 8 0 を形成している。

## 【 0 0 1 2 】

デジタル階調データはNMOSトランジスタ 8 5 を介してノード A に、デジタル階調データの逆相信号であるノデジタル階調データはNMOSトランジスタ 8 6 を介してノード B に接続されている。

## 【 0 0 1 3 】

シフトレジスタ 1 1 からのタイミング信号はPMOSトランジスタ 8 4 とNMOSトランジスタ 8 5, 8 6 のゲートに入力され、タイミング信号の逆相信号はNMOSトランジスタ 8 3 のゲートに入力されている。

## 【 0 0 1 4 】

また、ノード A にはCMOSインバータ 8 7 が、ノード B にはCMOSインバータ 8 8 がそれぞれ接続され、CMOSインバータ 8 7 の出力はロードラッチ回路 1 4 に入力される。

## 【 0 0 1 5 】

次に、図 7 のサンプリングラッチ回路 1 3 の回路動作について、図 8 のタイミングチャートを用いて説明する。

## 【 0 0 1 6 】

時刻  $t_1$  において、シフトレジスタ 1 1 からのタイミング信号がハイレベルになると、NMOSトランジスタ 8 3 とPMOSトランジスタ 8 4 がオフ、NMOSトランジスタ 8 5 とNMOSトランジスタ 8 6 がオンになり、デジタル階調データとその逆相データがノード A およびノード B にそれぞれ取り込まれる。

## 【 0 0 1 7 】



次に、時刻  $t_2$  においてシフトレジスタ 11 からのタイミング信号がローレベルになると、NMOSトランジスタ 85 と NMOSトランジスタ 86 がオフ、NMOSトランジスタ 83 と PMOSトランジスタ 84 がオンになり、デジタル階調データの入力が遮断されるとともに、記憶回路 80 に電源電圧が供給される。記憶回路 80 では、ノード A と ノード B でデジタル階調データとその逆相データの電圧比較が行われ、高い電位 ( $V_{High}$ ) が  $V_{DD}$  に、低い電位 ( $V_{Low}$ ) が  $V_{SS}$  にそれぞれレベル変換される。

## 【 0 0 1 8 】

インバータ 87, 88 はそれぞれノード A の寄生容量と、ノード B の寄生容量を同じにするために挿入される。すなわち、図 9 のように、ノード A 側の信号だけをロードラッチ回路 14 に供給すると、ノード A の寄生容量と、ノード B の寄生容量に差が生じ、時刻  $t_2$  でデジタルデータをレベル変換する際に、記憶回路 80 が誤動作を起こす可能性がある。そこで、一番単純な CMOS 回路部品であるインバータをノード A およびノード B にそれぞれ接続し、ノード A, B の寄生容量をほぼ同じ値にする。

## 【 0 0 1 9 】

ノード A につながるインバータ 87 の出力は、時刻  $t_3 \sim t_4$  の間に、ロードラッチ回路にラッチされる。

## 【 0 0 2 0 】

図 7 のような回路構成にすれば、サンプリングラッチ回路 13 に供給されるデジタル階調データの電圧レベルを 0 - 3 V の低電圧に設定できる。すなわち、デジタルビデオバスライン 12 を低電圧で駆動でき、低消費電力化が可能になるとともに、外部のタイミング 1C からレベルシフト回路を介さず直接デジタルデータを入力できるので、システムの構成を簡略化できる。

## 【 0 0 2 1 】

## 【発明が解決しようとする課題】

しかしながら、図 7 および図 8 に示したデジタル階調方式の液晶表示装置の場合、シフトレジスタ 11 からのタイミング信号がハイレベルになって（時刻  $t_1 \sim t_2$ ）、デジタル階調データをメモリ内に取り込む際、インバータ 87 および

インバータ 8 8 に 0 V と 3 V（または 3 V と 0 V）が取り込まれるため、インバータ 8 7，8 8 を構成する NMOS および PMOS トランジスタが全部オン状態になる。これにより、電源電圧端子 VDD から接地端子 VSS に向けて貫通電流が流れ、サンプリングラッチ回路 1 3 の消費電流が大きくなってしまうという問題がある。

## 【0 0 2 2】

本発明はこのような点に鑑みてなされたものであり、その目的は、貫通電流が流れないようにして消費電力の低減を図るデータラッチ回路および液晶表示装置を提供することにある。

## 【0 0 2 3】

## 【課題を解決するための手段】

上述した課題を解決するために、本発明は、所定のサンプリング期間にデジタルデータをラッチするデータラッチ回路において、出力端および入力端が互いにループ状に接続された第 1 および第 2 のインバータを有する記憶回路と、前記第 1 および第 2 のインバータに電源電圧を供給するか否かを切替制御する第 1 および第 2 のスイッチ素子と、ラッチ対象となるデジタルデータを前記記憶回路に供給するか否かを切替制御する第 3 のスイッチ素子と、前記記憶回路に記憶されたデータを読み出す出力回路と、を備え、前記第 1 および第 2 のスイッチ素子は、前記サンプリング期間以外の期間にオンして前記第 1 および第 2 のインバータに電源電圧を供給し、前記第 3 のスイッチ素子は、前記サンプリング期間内にオンしてデジタルデータを前記記憶回路に供給し、前記出力回路は、前記サンプリング期間内に前記出力回路の電源端子から接地端子に向けて貫通電流が流れないように、貫通電流防止機能を有する。

## 【0 0 2 4】

本発明では、データラッチ回路の出力回路に貫通電流防止機能を持たせたため、サンプリング期間内の消費電力の低減が図れる。

## 【0 0 2 5】

## 【発明の実施の形態】

以下、本発明に係るデータラッチ回路および液晶表示装置について、図面を参照しながら具体的に説明する。以下では、液晶表示装置内部のサンプリングラッ

チ回路に本発明のデータラッチ回路を適用する例について説明する。

【 0 0 2 6 】

図 1 は本発明に係る液晶表示装置の全体構成を示すブロック図である。ここでは、一例として、電源電圧  $V_{DD} = 10\text{ V}$ 、接地電圧  $V_{SS} = -5\text{ V}$ 、デジタル階調データが  $V_{High} = 3\text{ V}$ 、 $V_{Low} = 0\text{ V}$  のデジタルインタフェース回路を内蔵した液晶表示装置 (LCD) を想定している。

【 0 0 2 7 】

図 1 の構成は、従来の液晶表示装置と同様であり、信号線および走査線が列設された画素アレイ部 1 と、走査線を駆動する走査線駆動回路 2 と、信号線を駆動する信号線駆動回路 3 とを有する。走査線駆動回路 2 は、外部から供給された垂直同期信号に基づいて垂直走査パルスをシフトさせる垂直シフトレジスタ 11 を有する。

【 0 0 2 8 】

信号線駆動回路 3 は、図 1 に示すように、水平シフトレジスタ 11 と、デジタルビデオバスライン 12 と、サンプリングラッチ回路 (S-latch) 13 と、ロードラッチ回路 (L-latch) 14 と、D/A 変換回路 15 とを有する。

【 0 0 2 9 】

デジタルビデオバスライン 12 にはデジタル階調データが供給される。このデジタル階調データは、水平シフトレジスタ 11 からのタイミング信号によりサンプリングラッチ回路 13 にラッチされる。この際、サンプリングラッチ回路 13 が有するレベルシフト機能により、デジタル階調データは、信号線駆動回路 3 の駆動電圧 ( $V_{DD}$ ,  $V_{SS}$ ) にレベル変換される。

【 0 0 3 0 】

サンプリングラッチ回路 13 での一水平ライン分のデジタル階調データのラッチが終了するまでの時間は、一ライン期間と呼ばれる。

【 0 0 3 1 】

ロードラッチ回路 14 は、各サンプリングラッチ回路がそれぞれ異なるタイミングでラッチしたデータを同タイミングでラッチする。ロードラッチ回路 14 でのラッチ動作が終了した後、各サンプリングラッチ回路 13 は次の水平ラインの

ラッチ動作を順に行う。

【0032】

サンプリングラッチ回路13がラッチ動作を行っている最中に、その直前の水平ラインに対して、D/A変換回路15はデジタル階調電圧をアナログ階調電圧に変換する。このアナログ階調電圧は、対応する信号線に供給される。上述した動作を繰り返すことにより、画素アレイ部1内の全画素表示領域に画像が表示される。

【0033】

図2はサンプリングラッチ回路13の具体的な回路構成を示す回路図である。図2のサンプリングラッチ回路13は、出力端および入力端が互いにループ状に接続され2個のインバータ（第1および第2のインバータ）21、22からなる記憶回路20と、これらインバータのそれぞれに電源電圧VDDおよび接地電圧VSSを供給するか否かを切替制御するトランジスタ（第1および第2のスイッチ素子）23、24と、デジタル階調データを記憶回路20に供給するか否かを切替制御するトランジスタ（第3のスイッチ素子）25、26と、記憶回路20に記憶されたデータを非サンプリング期間にロードラッチ回路14に供給するNOR回路（出力回路、第1および第2の論理演算回路）27、28とを有する。

【0034】

PMOSトランジスタ24～26のゲート端子には、不図示のレジスタ回路2からのタイミング信号（シフトパルス）が入力される。このタイミング信号がハイレベルのときは、サンプリング期間を表している。NMOSトランジスタ23のゲート端子には、このタイミング信号をインバータ29で反転した信号が入力される。

【0035】

NOR回路27、28は、PMOSトランジスタ31、32とNMOSトランジスタ33、34とを有し、レジスタ回路2からのタイミング信号がハイレベルのとき、すなわちサンプリング期間中は、トランジスタ33がオンしてトランジスタ31がオフし、NOR回路27、28の出力はローレベル固定になる。また、レジスタ回路2からのタイミング信号がローレベルのとき、すなわち非サンプリング期間

中は、トランジスタ31がオンしてトランジスタ33がオフし、デジタル階調データを反転したデータがNOR回路27, 28から出力される。

## 【0036】

次に図2のデータラッチ回路の回路動作を図3のタイミングチャートに基づいて説明する。

## 【0037】

時刻 $t_1$ において、レジスタ回路2からのタイミング信号がハイレベルになると、NMOSトランジスタ23とPMOSトランジスタ24がオフ、NMOSトランジスタ25とNMOSトランジスタ26がオンになり、デジタル階調データとその反転データがノードAおよびノードBにそれぞれ取り込まれる。

## 【0038】

次に、時刻 $t_2$ において、レジスタ回路2からのタイミング信号がローレベルになると、NMOSトランジスタ25とNMOSトランジスタ26がオフになる代わりに、NMOSトランジスタ23とPMOSトランジスタ24がオンになり、デジタル階調データがサンプリングラッチ回路13に取り込まれなくなるが、記憶回路20には電源電圧 $V_{DD}$ ,  $V_{SS}$ が供給される。記憶回路20は、ノードA, Bにて、デジタル階調データとノデジタル階調データの電圧比較を行い、ハイレベル電圧 $V_{High}$ が $V_{DD}$ に、ローレベル電圧 $V_{Low}$ が $V_{SS}$ になるように、レベル変換を行う。すなわち、記憶回路20は、時刻 $t_2$ の直前にノードA, Bに取り込んだデータをレベル変換して保持する。

## 【0039】

NOR回路27, 28には、時刻 $t_1 \sim t_2$ の期間内は、0-3V振幅のデータが供給される。この期間内は、シフトレジスタ11からのタイミング信号はハイレベルであるため、NOR回路27, 28内のPMOSトランジスタ31はオフ状態である。このため、電源端子 $V_{DD}$ から接地端子 $V_{SS}$ に貫通電流が流れるおそれはなく、従来のサンプリングラッチ回路13に比べて消費電力を大幅に低減できる。

## 【0040】

また、図2のサンプリングラッチ回路13は、ノードA側とB側のそれぞれに

NOR回路27, 28を有するため、ノードA, Bの寄生容量がほぼ同等であり、従来のサンプリングラッチ回路13と同様、時刻 $t_2$ にてデジタルデータを安定して昇圧することができる。

#### 【0041】

時刻 $t_2$ 以降、レジスタ回路2からのタイミング信号はローレベルになり、NOR回路27, 28は単純なインバータ回路として機能するため、図7に示す従来のサンプリングラッチ回路13と同様の出力をロードラッチ回路14に供給することができる。

#### 【0042】

このように、本実施形態では、サンプリング期間中は、サンプリングラッチ回路13の出力を固定の論理に設定するため、サンプリング期間中に電源電圧端子VDDから接地端子VSSに貫通電流が流れなくなり、消費電力の低減が図れる。

#### 【0043】

図2では、NOR回路27, 28をサンプリングラッチ回路13の出力段に挿入する例を説明したが、レジスタ回路2がオン期間中、VDDからVSSへの貫通電流を防止する機能を持った他の回路素子をNOR回路27, 28の代わりに挿入しても、同様の効果が得られる。例えば、図4のようにクロックインバータ47, 48を挿入しても、同様の効果が得られる。

#### 【0044】

図4のクロックインバータ47, 48は、電源電圧VDDと接地電圧VSSとの間に直列接続された4つのトランジスタ35~38を有する。トランジスタ35, 38は、レジスタ回路2からのタイミング信号がローレベルのとき、すなわち非サンプリング期間中にオンする。これらトランジスタ35, 38がオンすると、デジタル階調データが反転されてクロックインバータ47, 48から出力される。一方、サンプリング期間中は、トランジスタ35, 38がオフし、クロックインバータ47, 48は直前の状態を保持する。

#### 【0045】

このように、クロックインバータ47, 48内のトランジスタ35, 38により、クロックインバータ47, 48内に貫通電流が流れるのを防止できる。

## 【 0 0 4 6 】

クロックインバータ 4 7, 4 8 以外の変形例として、図 5 に示すように NAND 回路 5 7, 5 8 を挿入してもよい。図 5 の NAND 回路 5 7, 5 8 はトランジスタ 9 1 ~ 9 4 で構成されている。トランジスタ 9 1 は、レジスタ回路 2 からのタイミング信号がハイレベル、すなわちサンプリング期間にオンする。このとき、サンプリングラッチ回路 1 3 の出力はハイレベル固定になり、NAND 回路 5 7, 5 8 内を貫通電流が流れなくなる。一方、レジスタ回路 2 からのタイミング信号がローレベル、すなわち非サンプリング期間のときは、トランジスタ 9 1 がオフしてトランジスタ 9 4 がオンし、デジタル階調データを反転したデータがサンプリングラッチ回路 1 3 から出力される。

## 【 0 0 4 7 】

また、上述した実施形態では、貫通電流を防ぐ信号として、シフトレジスタ 1 からのタイミング信号、またはその反転信号を利用したが、時刻  $t_1 \sim t_2$  の期間に貫通電流が流れるのを防ぐ機能を持つ信号を別に設けることにより、同様に貫通電流を防止できる。

## 【 0 0 4 8 】

例えば、図 6 は、NOR 回路 6 7, 6 8 内のトランジスタのオン・オフをロード信号により行う例を示す回路図である。ロード信号は、図 8 に示すように時刻  $t_3 \sim t_4$  の間にハイレベルになるため、時刻  $t_3$  以前はトランジスタ 3 3 がオンしてトランジスタ 3 1 がオフする。したがって、時刻  $t_3$  以前は、サンプリングラッチ回路 1 3 の出力は常にローレベルになる。一方、時刻  $t_3 \sim t_4$  の間は、デジタル階調データを反転したデータがサンプリングラッチ回路 1 3 から出力される。

## 【 0 0 4 9 】

上述した図 2 のサンプリングラッチ回路 1 3 では、デジタル階調データとその反転データの双方を記憶回路 2 0 に取り込む例を説明したが、いずれか一方のみを取り込んでもよい。これにより、図 2 のトランジスタ 2 5, 2 6 の一方と NOR 回路 2 7, 2 8 の一方とをそれぞれ省略でき、回路構成を簡略化できる。

## 【 0 0 5 0 】

上述した実施形態では、本発明のデータラッチ回路を液晶表示装置の信号線駆動回路に用いる例を説明したが、信号線駆動回路以外の目的、例えば、走査線駆動回路内のシフトレジスタ 1 1 などにも適用可能である。

【 0 0 5 1 】

【発明の効果】

以上詳細に説明したように、本発明によれば、データラッチ回路の出力回路に貫通電流防止機能を持たせたため、サンプリング期間内の消費電力の低減を図れる。したがって、本発明を液晶表示装置に適用すれば、低消費電力型の液晶表示装置を実現できる。

【図面の簡単な説明】

【図 1】

本発明に係る液晶表示装置の全体構成を示すブロック図。

【図 2】

サンプリングラッチ回路 1 3 の具体的な回路構成を示す回路図。

【図 3】

図 2 の回路の動作タイミング図。

【図 4】

N O R 回路の代わりにクロックトインバータを設けたサンプリングラッチ回路の回路図。

【図 5】

N O R 回路の代わりに N A N D 回路を設けたサンプリングラッチ回路の回路図。

【図 6】

N O R 回路内のトランジスタのオン・オフをロード信号により行う例を示す回路図。

【図 7】

サンプリングラッチ回路の具体的な回路構成を示す図。

【図 8】

図 7 の回路の動作タイミング図。

【図 9】



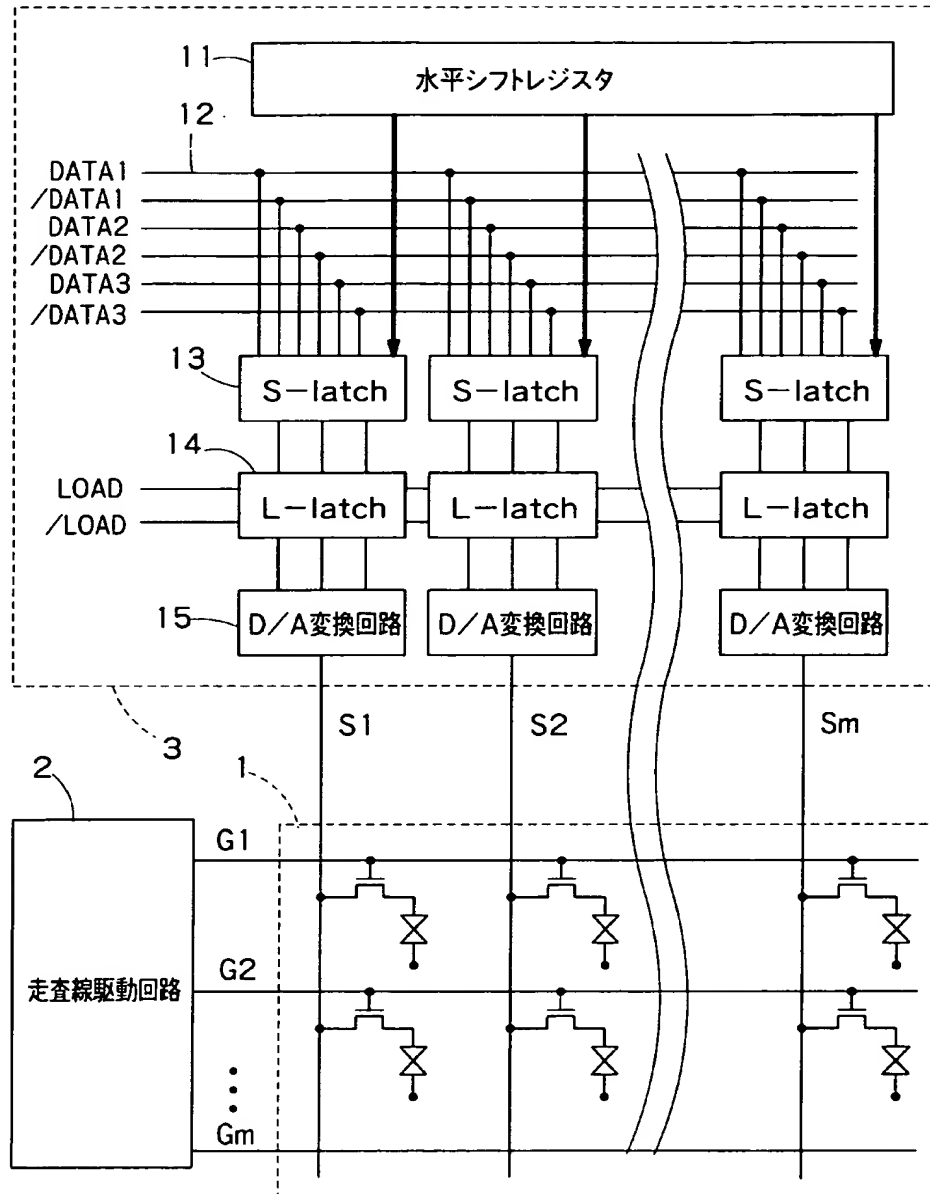
ノードA側の信号だけをロードラッチ回路に供給したサンプリングラッチ回路の回路図。

【符号の説明】

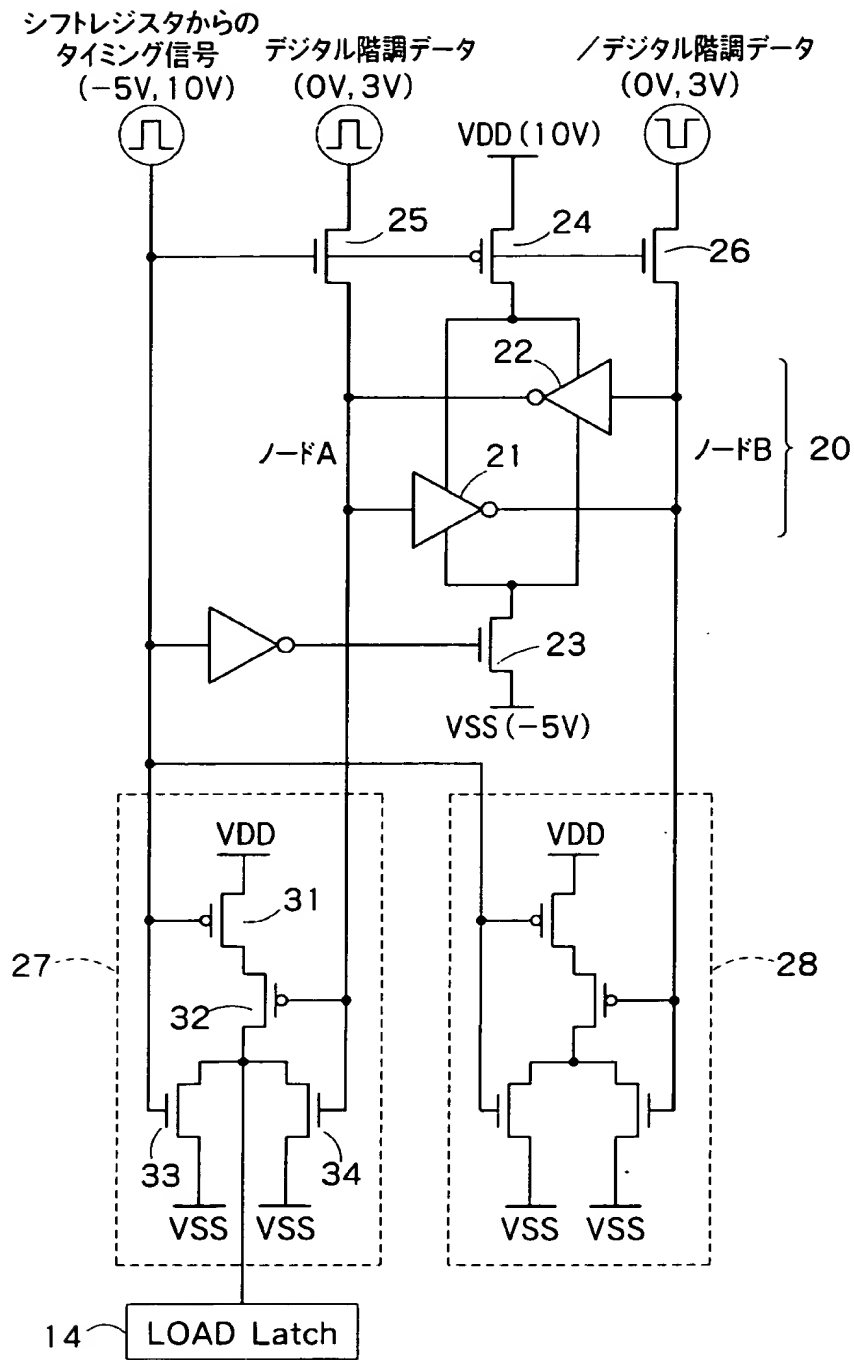
- 1 画素アレイ部
- 2 走査線駆動回路
- 3 信号線駆動回路
- 1 1 水平シフトレジスタ
- 1 2 デジタルビデオバスライン
- 1 3 サンプリングラッチ回路
- 1 4 ロードラッチ回路
- 1 5 D/A変換回路

【書類名】 図面

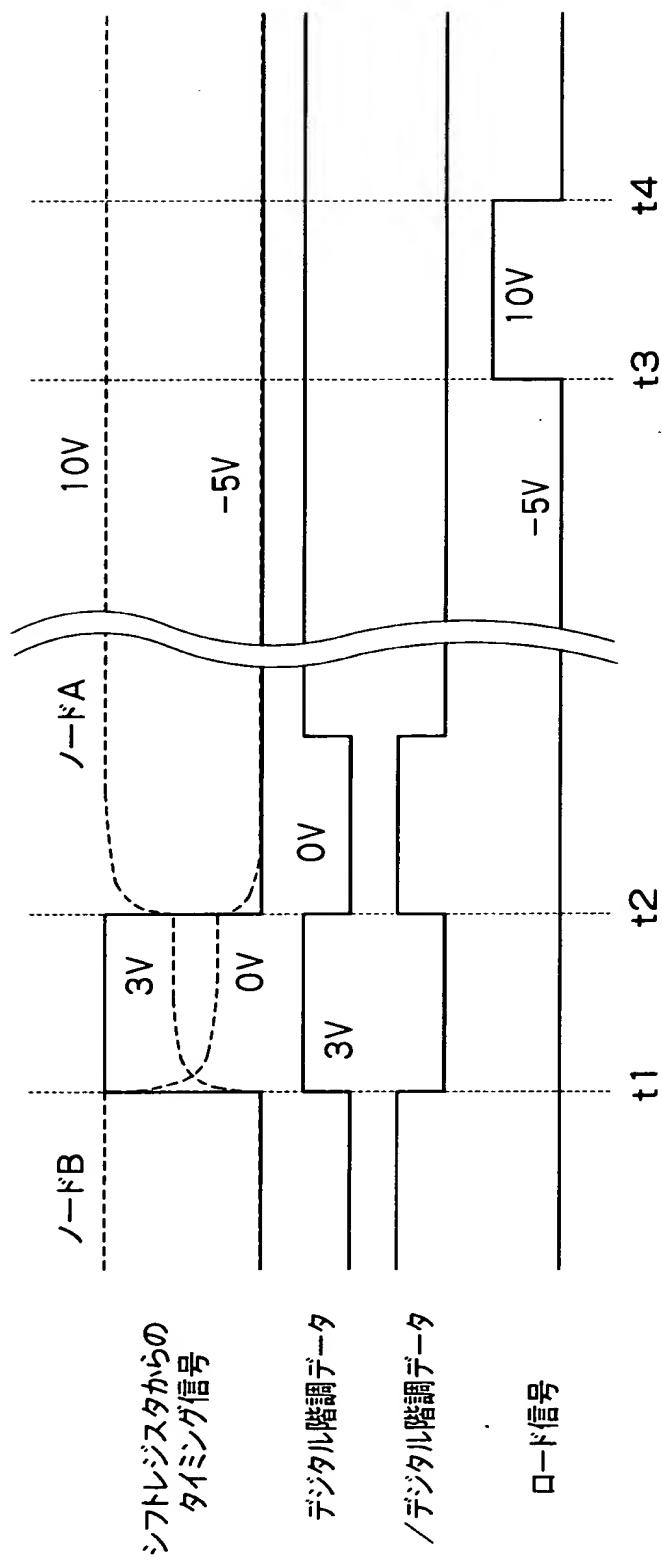
【図 1】



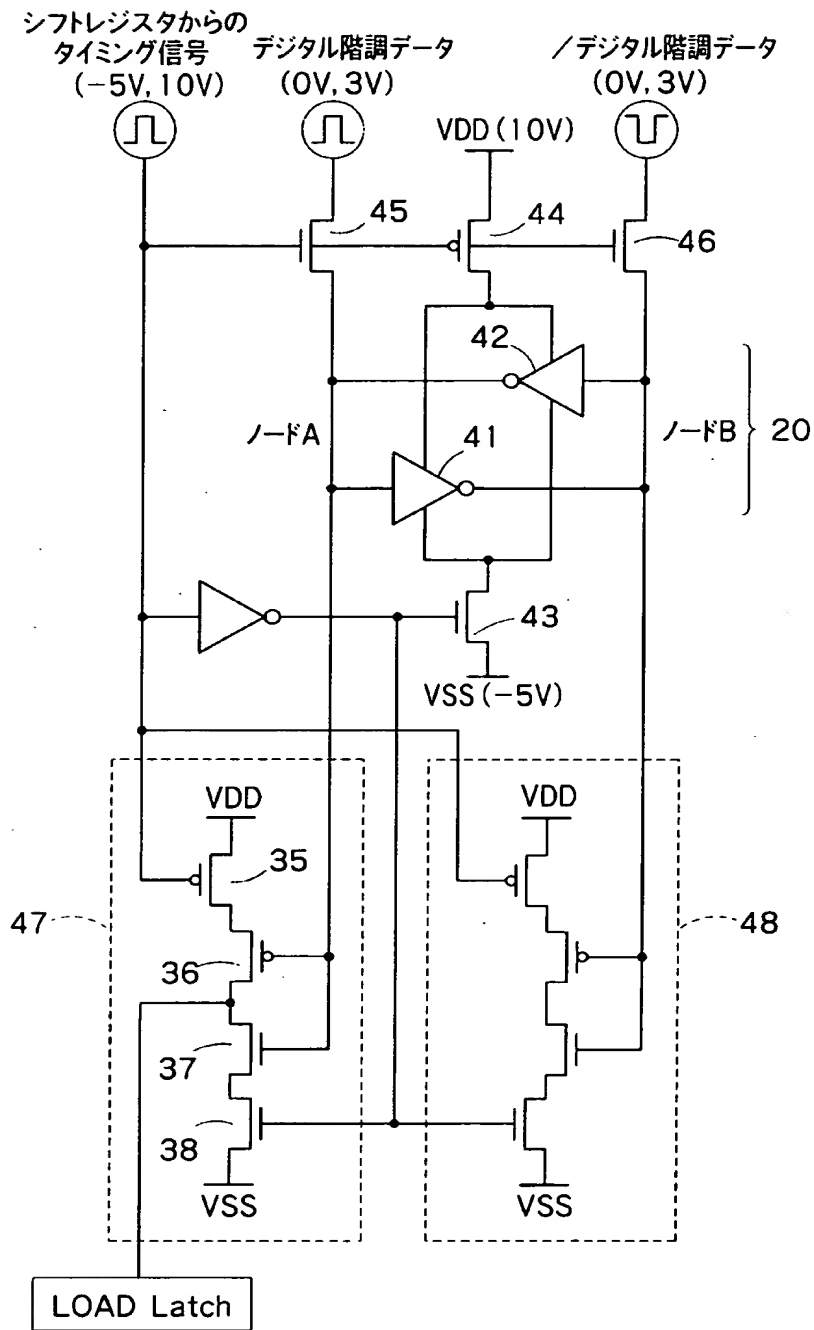
【図 2】



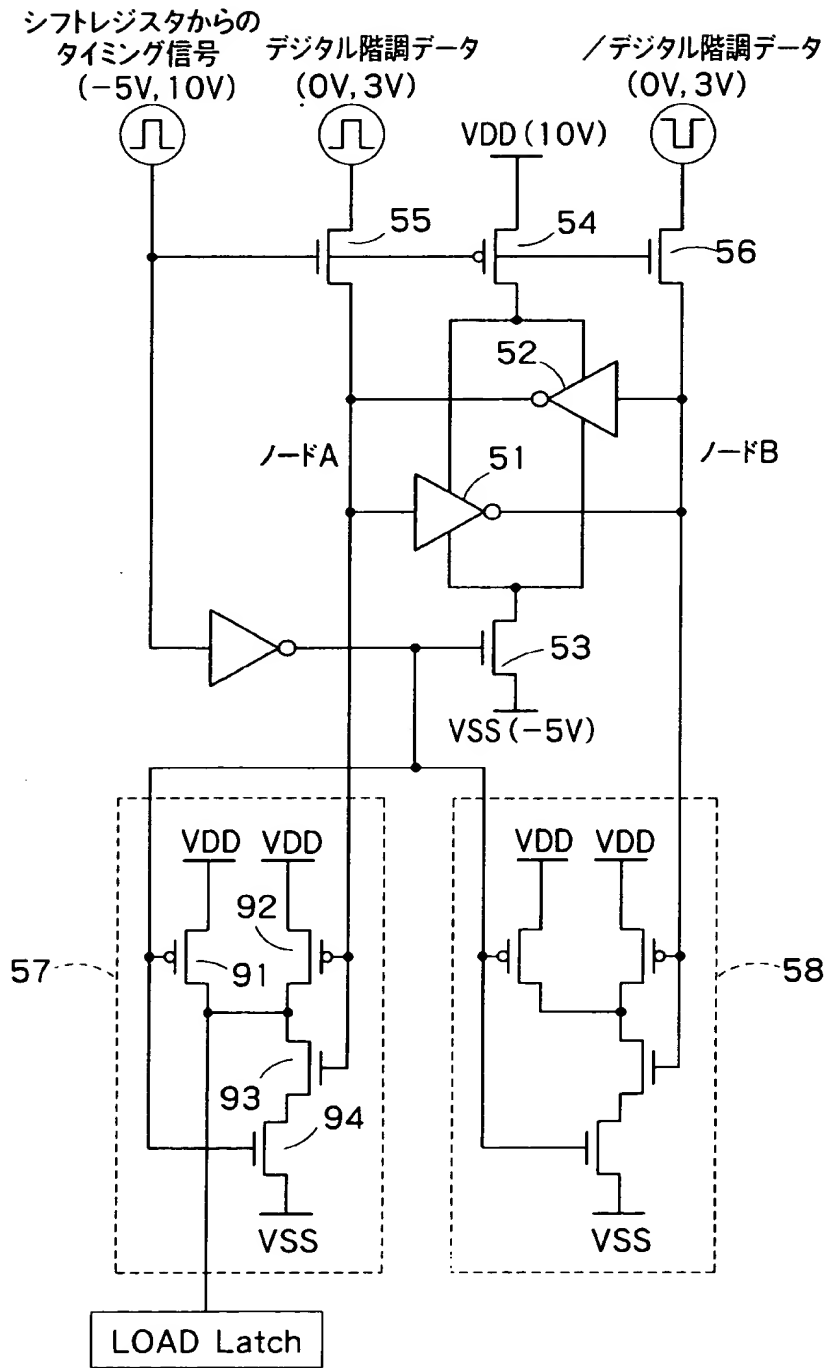
【図 3】



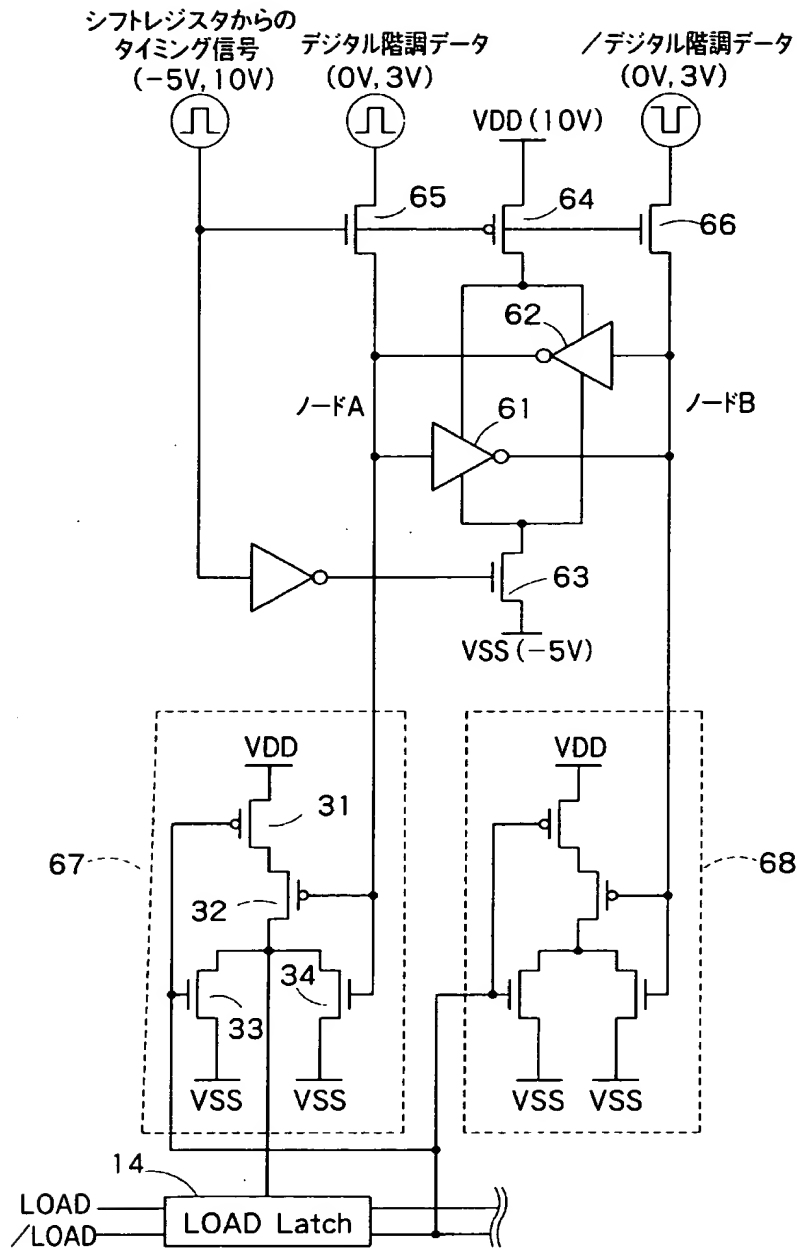
【図 4】



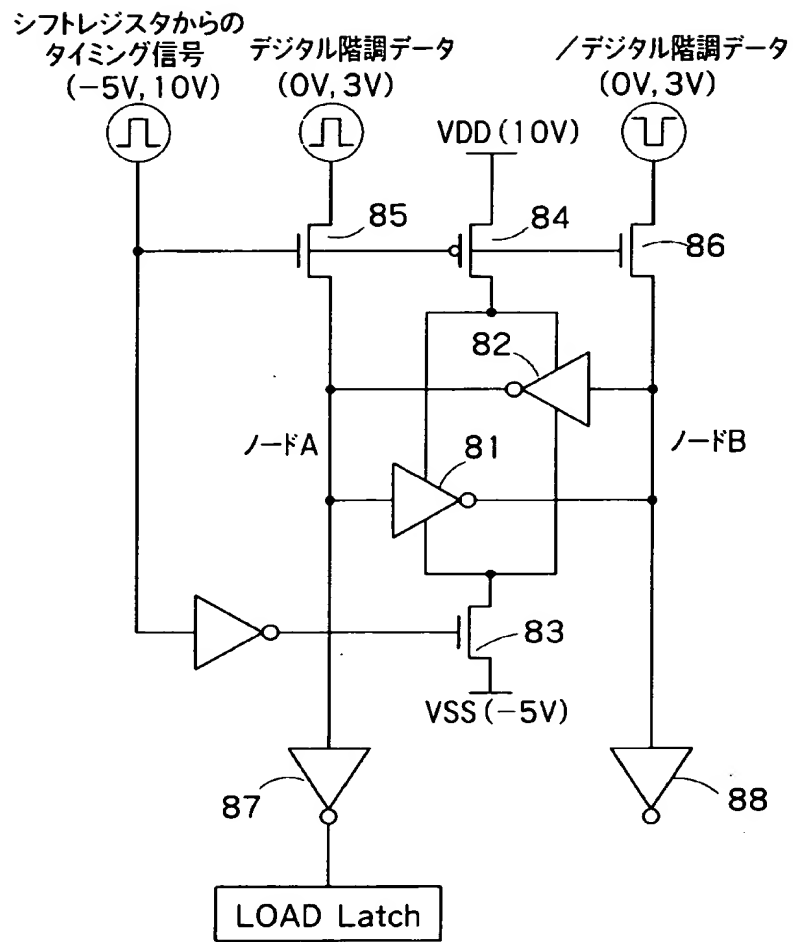
【図 5】



【図 6】

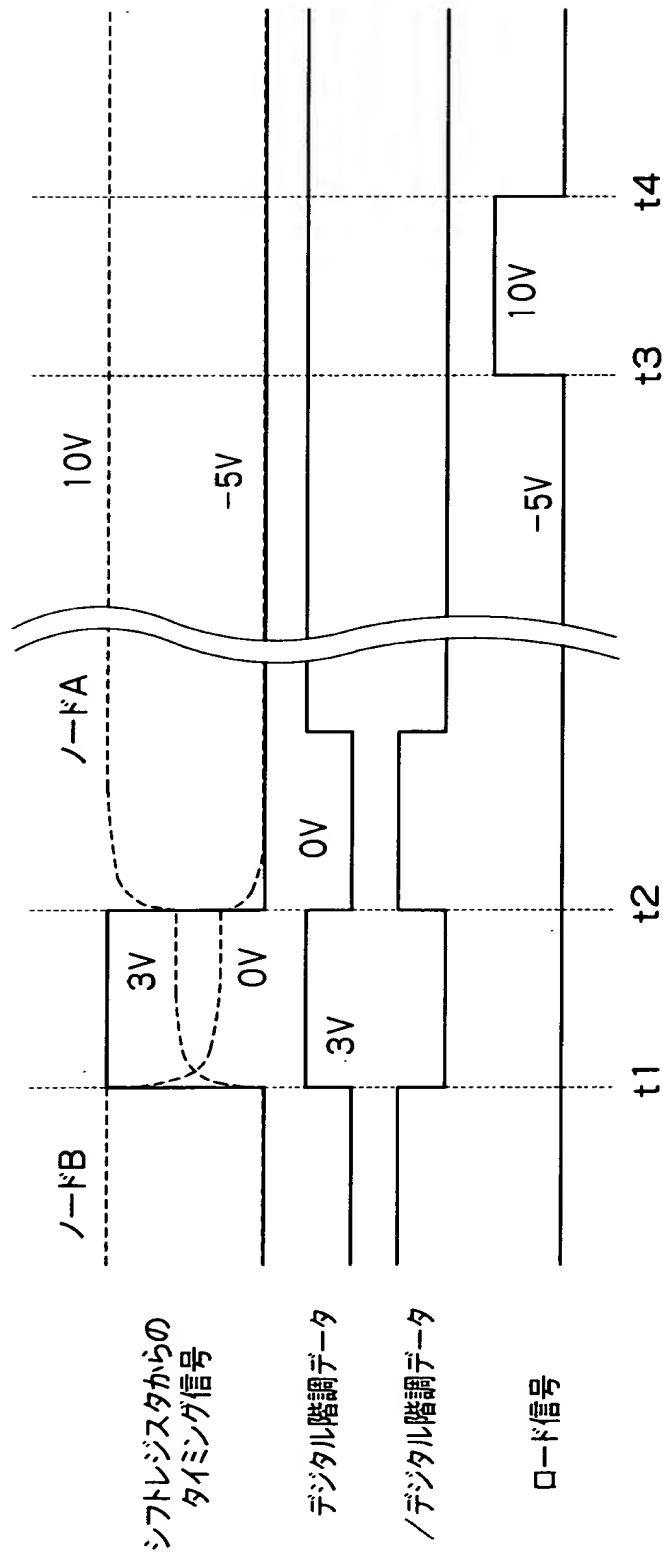


【図 7】

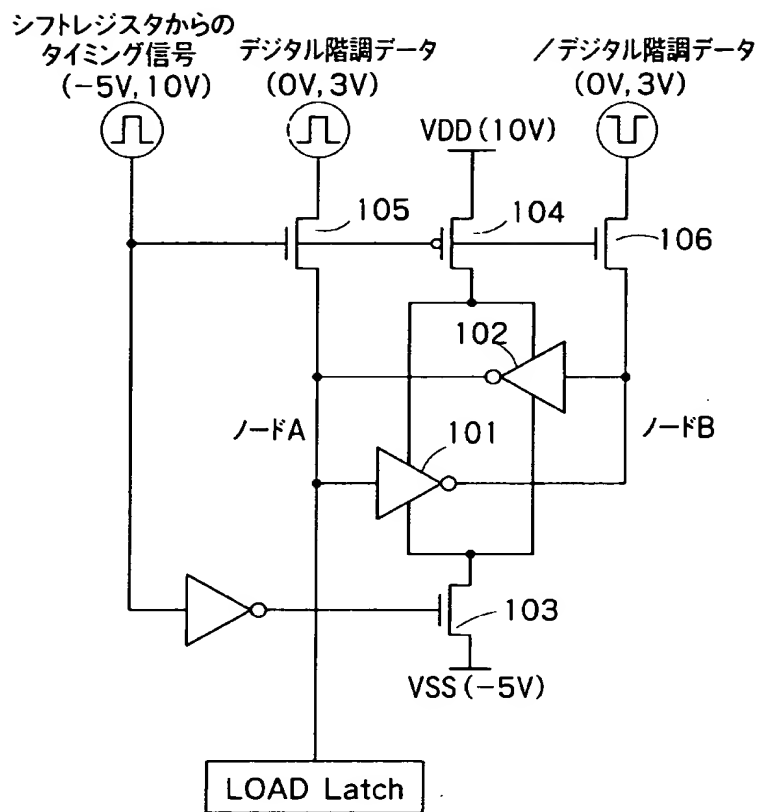




【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 貫通電流が流れないようにして消費電力の低減を図るデータラッチ回路と液晶表示装置を提供する。

【解決手段】 本発明の液晶表示装置は、信号線および走査線が列設された画素アレイ部 1 と、走査線を駆動する走査線駆動回路 2 と、信号線を駆動する信号線駆動回路 3 とを有する。走査線駆動回路 2 は、外部から供給された垂直同期信号に基づいて垂直走査パルス进行シフトさせる垂直シフトレジスタ 1 1 を有する。サンプリング期間中は、サンプリングラッチ回路 1 3 の出力を固定の論理に設定するため、サンプリング期間中に電源電圧端子 VDD から接地端子 VSS に貫通電流が流れなくなり、消費電力の低減が図れる。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町 7 2 番地
氏 名	株式会社東芝